

Темы и график проведения семинара:

Время (Москва)	Темы
10:30 – 10:45	Открытие
10:45 – 11:45 Ведущий: Pavel Tadtayev ptadtayev@cadence.com Язык: Russian	Design smarter: enhanced technologies for RF/Microwave Design and System-Level Thermal Analysis В презентации будут представлены передовые решения Cadence для проектирования и моделирования ВЧ/СВЧ интегральных микросхем и печатных плат в составе программной платформы Cadence AWR Design Environment®, включая пакет AWR® Microwave Office®, электромагнитные симуляторы AWR AXIEM® и Analyst™ и модуль системного анализа AWR Visual System Simulator™ (VSS). Вторая часть презентации будет посвящена электротермальному симулятору Celsius™ Thermal Solver, обеспечивающему непревзойденную производительность вычислений и глубокую интеграцию с другими инструментами Cadence. Celsius Thermal Solver является первым решением на основе методов FEA и CFD, обеспечивающим полноценное совместное моделирование электрических и температурных эффектов для компонентов любого масштаба.
11.45 – 12.00	Перерыв
12:00 – 13:00 Ведущий: Liviu Popa lpopa@cadence.com Язык: English	Improve Your Productivity with In-Design Signoff DRC and Fill С уменьшением топологических норм возрастает количество конструктивных ограничений элементной базы. Набор правил проектирования растет в геометрической прогрессии и сами правила становятся более сложными. Уменьшая размер активного устройства, увеличивается влияние разводки на функциональность микросхемы. В этой презентации будет показано, насколько тесная интеграция Cadence Pegasus™ Verification System и Cadence Virtuoso® System Design Platform может помочь сократить время проектирования (turnaround time -TAT), минимизировать циклы исправления DRC и уменьшить влияние разводки на конечные результаты. Будет дан обзор инструментов Pegasus Interactive DRC, Pegasus Interactive Signoff Fill и Pegasus Interactive Density Analysis. Вы узнаете, как они интегрированы в платформу проектирования Virtuoso, преимущества маршрута проектирования и как происходит сокращение времени разработки. А также будет показан процесс настройки и практического использования этих инструментов на реальном примере.
13.00 – 14.00	Перерыв
14:00 – 15:00 Ведущий: Fadoua Gacim fadoua@cadence.com Язык: English	On-Time RFIC Development with Fast EM Simulation and Integrated Design Flow В этом докладе вы увидите новую интеграцию симулятора Cadence EMX® Planar 3D в состав электромагнитного симулятора пакета Cadence Virtuoso® Layout Suite EXL и то, как использовать его в процессе проектирования на примере RFIC с усилителем мощности. Будет показан процесс выполнения быстрого и точного электромагнитного (ЭМ) анализа выбранной части пассивных компонентов и цепей, в то время как экстракция паразитных компонентов остальной части будет выполняться с помощью пакета Cadence Quantus™ Extraction Solution. Также будет продемонстрировано использование Cadence Spectre® X Simulator для моделирования топологии устройства, чтобы получить характеристики схемы с паразитными элементами.
15:00 – 15:15	Перерыв
15:15 – 16:15 Ведущий: Volker Wegner volker@cadence.com Язык: English	Dynamic Duo: A Unified Flow for Increased Performance and Early HW/SW Co-Verification Ваши проекты становятся все больше и сложнее, растет объем встроенного программного обеспечения, а время, отведенное на проектирование сокращается? Как добиться успеха с первого раза и завершить работу вовремя? Вам необходимо средство для эмуляции и прототипирования на ранних этапах разработки и проверки аппаратного / программного обеспечения. Платформы Cadence® Palladium® и Protium™ обеспечивают производительность на частотах до 10 МГц и емкость для проектов с миллиардом логических элементов в единой среде для быстрого запуска и отладки. В этой презентации будет показано совместное использование средства эмуляции Palladium Z1 и средства прототипирования Protium X1 для быстрой и совместной проверки аппаратного и программного обеспечения современных сложных проектов.